

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-095150
(43)Date of publication of application : 08.04.1994

(51)Int.Cl. G02F 1/136
G02F 1/133
G02F 1/1343
H01L 29/784

(21)Application number : 04-244521
(22)Date of filing : 14.09.1992

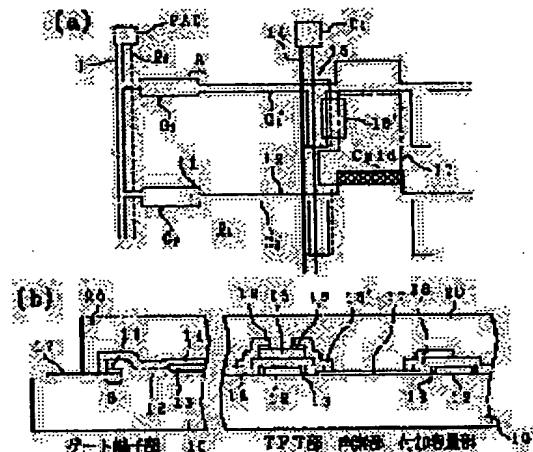
(71)Applicant : HITACHI LTD
(72)Inventor : YAMAMOTO HIDEAKI
SHIROHASHI KAZUO
KASE KENICHI

(54) THIN-FILM TRANSISTOR SUBSTRATE AND LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To eliminate the connection defects of ITO films and Al gate wirings and to shorten the stages by constituting terminals of indium oxide films (ITO films) and electrically connecting these ITO films and the Al gate wirings with Cr films.

CONSTITUTION: The ITO film 17 is formed by sputtering and vapor deposition on a thin-film transistor substrate 10 and in succession, the Cr film 11 is formed by sputtering thereon. Patterning of gate terminals G1, G2 and pixel electrodes 17 is executed by photoetching. The sectional shapes are trimmed by etching the Cr film 11 and etching the ITO film 1y, then etching the Cr film 11 again at this time. The Al-Ta 12 is then deposited by evaporation and is photoetched, by which the patterns of gate wirings G1', G2' of Al (Ta), additive capacitors Cadd and gate electrodes are formed. The stages are shortened by simultaneously executing the formation of the terminals and the formation of the pixel electrodes in such a manner.



LEGAL STATUS

[Date of request for examination] 17.02.1999

[Date of sending the examiner's decision of rejection] 23.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more gate terminals formed on the insulating substrate, and two or more gate wiring which extends in it, In the TFT substrate which comes to arrange TFT on the intersection of two or more signal wiring arranged by intersecting this, and the aforementioned gate wiring and signal wiring The TFT substrate characterized by for the aforementioned gate terminal consisting of only transparent electric conduction films, and connecting it with the aforementioned gate wiring electrically through Cr film in the point.

[Claim 2] The TFT substrate according to claim 1 to which the aforementioned gate wiring is characterized by the bird clapper from aluminum alloy.

[Claim 3] The TFT substrate according to claim 1 or 2 to which the aforementioned aluminum alloy is characterized by the thing of Ta and Ti included for any they are at least.

[Claim 4] A TFT substrate given in any of the claims 1, 2, and 3 characterized by the gate insulator layer of the aforementioned TFT containing the oxide film on anode of the aforementioned aluminum alloy they are.

[Claim 5] The above-mentioned transparent electric conduction film is a TFT substrate given in any of the claims 1, 2, 3, and 4 characterized by being an oxidization in JUUMU film they are.

[Claim 6] The formation process of the aforementioned gate terminal and a pixel electrode By leading current to the terminal which consists of a process which patternizes by the two-layer structure film of a transparent electric conduction film and Cr film formed on it, removes the account Cr film of Gokami, and is used only as a transparent electric conduction film, and the aforementioned transparent electric conduction The manufacture method of a TFT substrate given in any of the claims 1, 2, 3, and 4 characterized by having the process which performs the aforementioned anodic oxidation they are.

[Claim 7] The liquid crystal display panel characterized by having a TFT substrate given in any [a claim 1 or] of 4 they are.

[Claim 8] The liquid crystal display characterized by having the video-signal drive circuit for giving a video signal to a liquid crystal display panel according to claim 7 and this liquid crystal display panel, a scanning circuit for giving a scanning signal, and a control circuit for giving the information for liquid crystal display panels to this video-signal drive circuit and this scanning circuit.

[Claim 9] The above-mentioned transparent electric conduction film is the manufacture method of the TFT substrate according to claim 6 characterized by being an oxidization in JUUMU film.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to active-matrix drive type the TFT substrate and liquid crystal display which used TFT (it omits Following TFT).

[0002]

[Description of the Prior Art] The example of the TFT substrate which made 2Oaluminum3 film which anodizes this and is obtained the one section of a gate insulator layer by setting gate wiring and a gate electrode to aluminum is explained using drawing 2 using amorphous silicon (it abbreviates to a-Si hereafter) TFT. Drawing 2 (a), (b), and (c) show the representative circuit schematic of a TFT substrate, a plan, and a cross section respectively. As for a gate terminal, G1', and G2', G1 and G2 show the common electrode by which TFT and LC are prepared for addition capacity and 17b in liquid crystal, and Cadd is prepared [gate wiring, and D1 and D2] for a drain terminal, and T11 and T12 in a light-filter substrate side. In 10, a substrate and 11 aluminum and A for Cr of a gate terminal, and 12 A part for moreover, the connection of Cr of a gate terminal, and aluminum of gate wiring, 13 — aluminum2O — 3 and 14 — SiN and 17 — an ITO transparent electrode (pixel electrode) — It is amorphous silicon (it abbreviates to a-Si (n+) hereafter) with which 15 doped non dope a-Si (i), and 16 doped Lynn, signal wiring and 18' are source electrodes, and 18 has connected TFT and the pixel electrode. Among drawing 2 , a boundary line 11 shows the boundary of the field which anodizes, and the field which is not so, and anodizes the field on the right of a boundary line 11. PAD is a terminal for supplying current required for anodic oxidation, L is a bus line for making common connection of all the gate terminals, and a boundary line 12 shows the portion to cut after TFT substrate completion. Such technology is indicated by JP,3-232274,A.

[0003] Thus, the cascade screen of Cr and a transparent electrode (it omits an in JUUMU oxid film and Following ITO) was conventionally used for the terminal area of a TFT substrate. Moreover, when aluminum metal was used for a gate electrode or gate wiring, as a material, pure aluminum and aluminum which added Pd, Si, etc. as an impurity were used.

[0004] In a TFT substrate, the reason [terminal area] using the cascade screen of Cr and ITO is explained. It connects with the external circuit for driving in a terminal area, and a TFT substrate is used. For this reason, a terminal area is exposed to the atmosphere. Therefore, it is necessary to be the material which has fear which the open circuit by the corrosion by moisture, the poor contact by oxidization, etc. produce, and does not have such a thing. At such a point, the combination of Cr and ITO is good and is used abundantly. On the other hand, aluminum was considered to be unsuitable by the terminal area that it is easy to deteriorate.

[0005]

[Problem(s) to be Solved by the Invention] Cr film is required for the above-mentioned conventional technology only because of a terminal area, and the process for carrying out the formation patterning of this is required for it, and it had a problem in respect of cost or the yield.

[0006] The 1st purpose of this invention is by making this Cr film unnecessary to offer a low cost and the TFT substrate of the high yield. The 2nd purpose of this invention is to offer the

liquid crystal display panel which used this TFT substrate. The 3rd purpose of this invention is to offer the liquid crystal display using the above-mentioned liquid crystal display panel.

[0007]

[Means for Solving the Problem] Two or more gate terminals by which the 1st purpose of the above was formed on (1) insulation substrate, and two or more gate wiring which extends in it, In the TFT substrate which comes to arrange TFT on the intersection of two or more signal wiring arranged by intersecting this, and the aforementioned gate wiring and signal wiring The TFT substrate characterized by for the aforementioned gate terminal consisting of only oxidization in JUUMU films, and connecting it with the aforementioned gate wiring electrically through Cr film in the point, (2) The TFT substrate given in (1) to which the aforementioned gate wiring is characterized by the bird clapper from aluminum alloy, (3) A TFT substrate (1) to which the aforementioned aluminum alloy is characterized by the thing of Ta and Ti included for any they are at least, and given in (2), (4) It can attain by the TFT substrate given in (1) characterized by the gate insulator layer of the aforementioned TFT containing the oxide film on anode of the aforementioned aluminum alloy, (2), and (3). (5) It can manufacture by the method characterized by having the process which the formation process of the aforementioned gate terminal and a pixel electrode patternizes by the two-layer structure film of an oxidization in JUUMU film and Cr film formed on it, removes the account Cr film of Gokami, and uses only as an oxidization in JUUMU film. The liquid crystal display panel characterized by having a TFT substrate given in (1), (2), (3), and (4) can attain the 2nd purpose of the above. The liquid crystal display characterized by having the video-signal drive circuit for giving a video signal to the aforementioned liquid crystal display panel and this liquid crystal display panel, a scanning circuit for giving a scanning signal, and a control circuit for giving the information for liquid crystal display panels to this video-signal drive circuit and this scanning circuit can attain the 3rd purpose of the above.

[0008] In this invention, a terminal is constituted from ITO and aluminum gate wiring is further connected electrically through Cr film by the point of ITO. Shortening of a process is attained by performing this terminal formation simultaneously with pixel electrode formation. In this case, the material (it is hereafter described as aluminum-Ta, aluminum-Ti, and aluminum-Ta-Ti) which added Ta and Ti as an impurity from the corrosion resistance as an aluminum material to be used is applied. As concentration to add, 0.5 atom % to 2.5 atom % is desirable. This reason is because the good oxide film on anode aluminum 2O₃ is obtained with this material sufficient [thermal resistance].

[0009]

[Function] The above-mentioned technology has the next operation.

[0010] A gate terminal is used for gate wiring, connecting electrically. When a gate terminal is set to ITO and gate wiring is set to aluminum, cautions as shown below are required.

[0011] (1) When the laminating of the ITO is carried out on aluminum, 2Oaluminum3 film which is an insulator layer is made by it by the interface reaction of ITO and aluminum in between, and for this reason, aluminum and ITO of a ground are with a bird clapper at a poor contact. This example is shown in drawing 3. Properties C2, C3, and C4 show three examples of the voltage dependency of current which flow aluminum and ITO between laminating Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. On the other hand, C1 shows the example which contacted Cr and ITO. Thus, compared with Cr/ITO, contact resistance is high, variation is also large, and aluminum and ITO are problems. Therefore, Cr film needed to be intervened when ITO and aluminum were connected.

[0012] (2) In the TFT substrate of this invention, there is a process which aluminum of the gate is anodized and is used as 2Oaluminum3 film. For performing this anodic oxidation, common connection of all the gate wiring is made, and voltage is impressed. With what this common connection is made poses a problem. ITO of the gate was used in this invention.

[0013] (3) As much as possible few masks required for a TFT process for photoetching processes are wanted for there to be. In this invention, the process which a gate terminal and a pixel electrode can form simultaneously is offered. This is reducing the number of masks by one sheet conventionally.

[0014] With this technology, with an ITO terminal, anodic oxidation is possible and TFT which there are moreover few phot masks and ends can be offered so that clearly from the above explanation. Thereby, low-costizing of a TFT substrate and the improvement in th yield were realizable.

[0015]

[Example] Hereafter, this invention is explained in detail using an example.

[0016] Drawing 1 (a) is the plan of the TFT substrate of one example of this invention, and (b) is the cross section. Drawing 4 is explanatory drawing of each part for process explanation. It has expressed with the sign with the equal portion same identically to drawing 2. First, the manufacture method of the substrate of this TFT is described. An ITO film (17) is formed by 1400A spatter vacuum evaporationo on a substrate 10. Cr (11) is continuously formed by 1000A spatter on it. The pattern of gate terminals G1 and G2 and a pixel electrode (17) is formed by photoetching. At this time, Cr film and an ITO film are performed simultaneously continuously. Sequence *****s Cr, *****s ITO, *****s Cr once again, and prepares a cross-section configuration (refer to drawing 4 (a)). aluminum-Ta (addition 1.5 atom [of Ta] %) — 12 — about — 3000 — A — thickness — sputtering — vacuum evaporationo — carrying out — photoetching — aluminum — (— Ta —) — the gate — wiring — G — one — ' — G — two — ' — addition — capacity — Cadd — the gate — an electrode — a pattern — forming . Cr film is *****ed by using this aluminum (Ta) pattern as a mask. Cr of the pixel section and Cr of a part of terminal area are removed at this process. SURAITO etching of aluminum (Ta) is performed succeedingly and a cross-section configuration is prepared. This etching removes that the end face of aluminum (Ta) has jutted out from the end face of Cr, and it is performed in order to lose the so-called overhang. Then, it covers with a photoresist except for the portion (on the right of the boundary line l1 in drawing) and Chemicals PAD which anodize. A gate circuit pattern and a photoresist pattern are made to intersect perpendicularly at this time. Anodic oxidation is performed in this state. The anodic oxidation method is dipped in Chemicals liquid, as the Chemicals pad PAD comes from an oil level outside, from a maximum of 72V, impresses the direct current voltage of 144V, and performs it to the Chemicals pad PAD. The pressure up of the method of impression is gradually carried out from 0V so that it may become a constant current 0.5 – 5 mA/cm². Since a high current flows when high voltage is impressed from the beginning, aluminum line melts and a gate line is disconnected. What diluted with ethylene glycol liquid to 1:9 the solution which adjusted the tartaric acid to PH 7**0.5 from ammonia 3% as Chemicals liquid is used. When current is 0.5 mA/cm², formation voltage is set to 144V in about 10 minutes. The thickness of aluminum 2O3 (refer to 13 and drawing 4 (b) of drawing 1 (b)) formed at this time is 2000A. This aluminum 2O3 is used as a dielectric of a gate insulator layer and addition capacity. In addition, it is desirable to hold in the state as it is for [several minutes –] several 10 minutes after being set to 144V and coming to perform constant-voltage oxidization. This is important, when obtaining 2Oaluminum3 uniform film.

[0017] It returns and explains to drawing 1 again. After removing a photoresist, 2000A of SiN(s) 14 is formed in the whole surface by the plasma CVD method. The gas which uses SiH4 and NH3 as a main component as material gas is used. 300A (n+) of a-Si16 which moreover doped 2000A and Lynn for a-Si (i)15 2.5% is deposited. At this time, you may be 300 degrees C as substrat temperature. As material gas, a-Si uses the mixed gas of SiH4 and PH3 for a-Si (n+) for the gas which uses SiH4 as a main component. Then, a-Si is patternized and it is made the shape of an array. The dry cleaning dirty method by SF6 gas is used for etching of a plasma film. It is required to remove SiN so that the ITO film of ITO near a terminal and a pixel electrode may be exposed like drawing 4 (c) at this time. Cr/aluminum-Ta the signal wiring 18 which besides serves as the drain electrode of TFT, and for source electrodes (concentration 1.5 atom [of Ta] %) is formed and patternized in sputtering in thickness of 1000A and 4000A, respectively. At this time, it becomes like drawing 4 (d). Dry etching of the a-Si (n+)16 is carried out by using a drain electrode as a mask after this. Finally, 1 micrometer of SiN(s) is formed as a protective coat, SiN on a terminal area is removed, between the Chemicals bus line L and gate terminals G1 and G2 is cut mechanically the back, and a TFT substrate is completed (refer to drawing 4 (e)).

[0018] Although drawing 1 showed the case where it had arranged so that each pixel may make a

train, half-pitch gap ***** is sufficient. Moreover, even when there is no addition capacity Cadd, of course, it can completely manufacture similarly. Although the alloy which added Ta was used for aluminum as an aluminum material here, the alloy which added Ti, and Ta and Ti simultaneously is sufficient. In this case, below 1.5 atom % of the amount to add is desirable from the point of resistance or an etch residue.

[0019] Next, the translucency substrate with a counterelectrode and blue, red, and a green color filter array and the TFT substrate manufactured by the above were stuck and united using the spacer with a thickness of 7.3 micrometers, liquid crystal was closed in between, and the liquid crystal display panel was completed. The structure is explained briefly below.

[0020] The whole cross-section structure of an electrochromatic display display panel is shown in drawing 5. On the basis of liquid crystal LC, the TFT substrate in which TFT etc. was formed on the transparent glass substrate 10 is arranged by the lower part, and transparent glass-substrate 10b in which the light filter FIL, the black matrix BM for shading, etc. were formed is arranged at the upper part.

[0021] The cross section of a 1-pixel portion is shown by the amount of [of drawing 5] center section, left-hand side shows the cross section of the portion in which an external leader line exists by part for the left-hand side edge of the transparent glass substrates 10 and 10b, and right-hand side shows the cross section of the portion in which an external leader line does not exist at a transparent glass substrate and the right-hand side edge of 10b. Sealant SL shown in each of the left-hand side of drawing 5 and right-hand side is constituted so that liquid crystal LC may be closed, and it is formed in accordance with the whole edge circumference of the transparent glass substrates 10 and 10b except a liquid crystal enclosure mouth (not shown). Sealant SL is formed by the epoxy resin.

[0022] Common transparent pixel electrode 17b by the side of the aforementioned up transparent glass-substrate 10b is connected to external leader line 17' formed in the lower transparent glass-substrate 10 side of the silver paste material SIL in at least one place. This external leader line is formed by the same manufacturing process as each of the gate electrode mentioned above, a source electrode, and a drain electrode.

[0023] Each layer of SiN14 which are the orientation films ORI1 and ORI2, a transparent electrode 17, common transparent pixel electrode 17b, protective coats 20 and 20b, and an insulator layer is formed inside sealant SL. Polarizing plates POL1 and POL2 are formed in the front face of each outside of the lower transparent glass substrate 10 and up transparent glass-substrate 10b.

[0024] Liquid crystal LC is enclosed among the lower orientation films ORI1 and ORI2 which set up the sense of a liquid crystal molecule, and the seal is carried out by sealant SL.

[0025] The lower orientation film ORI1 is formed in the upper part of the protective coat 20 by the side of the lower transparent glass substrate 10.

[0026] The shading film BM, a light filter FIL, protective coat 20b, common transparent pixel electrode 17b, and the up orientation film ORI2 carry out a laminating to the front face inside up transparent glass-substrate 10b (liquid crystal side) one by one, and are prepared in it.

[0027] One example of a liquid crystal display is shown in drawing 6. This equipment has the video-signal drive circuit 83 for giving a video signal to the liquid crystal display panel 81 and this liquid crystal display panel, the scanning circuit 84 for giving a scanning signal to this liquid crystal display panel, and the control circuit 82 for giving TFT information to this video-signal drive circuit and a scanning circuit. A control circuit 82 includes a power circuit, the circuit which changes the information from a host processor into TFT information. When included in this equipment, using respectively the liquid crystal display panel obtained in the aforementioned example, the picture high quality [all] was acquired.

[0028]

[Effect of the Invention] By this invention, the manufacturing process of a TFT substrate could be shortened 12%, the yield could be improved further about 5%, and cost reduction was able to be planned.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing one example of this invention.

[Drawing 2] Explanatory drawing of the conventional technology.

[Drawing 3] Drawing showing the contact nature of aluminum and ITO.

[Drawing 4] Drawing for explaining the detail of each portion of this invention.

[Drawing 5] Drawing showing the example of the liquid crystal display panel using the TFT substrate of this invention.

[Drawing 6] Drawing showing the example of the liquid crystal display using the TFT substrate of this invention.

[Description of Notations]

10 10b [... The charge of a aluminum-Ta alloy,] ... A substrate, 11 ... Cr, 12 13 ... aluminum₂O — 3 and 14 ... SiN and 15 ... a-Si (i) — 16 [... Common transparent pixel electrode,] ... a-Si (n+), 17 ... A transparent electrode, 17b 18 [... Protective coat,] ... Signal wiring, 18' ... 20 A source electrode, 20b 81 [... Video-signal drive circuit,] ... A liquid crystal display panel, 82 ... A control circuit, 83 84 [... Gate wiring,] ... A scanning circuit, G1, G2 ... A gate terminal, G1', G2' D1, D2 [... Cutting plane line,] ... A drain terminal, L ... The Chemicals bus line, I2 I1 [... The Chemicals terminal, ORI1, ORI2 / ... An orientation film, POL1 POL2 / ... A polarizing plate, FIL / ... A light filter, LC / ... Liquid crystal, BM / ... A black matrix, BL / ... Back light.] ... The Chemicals boundary line, Cadd ... Addition capacity, PAD

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-95150

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 0 5	9226-2K		
1/1343		9018-2K		
H 0 1 L 29/784				
		9056-4M	H 0 1 L 29/78	3 1 1 A
				審査請求 未請求 請求項の数9(全7頁)

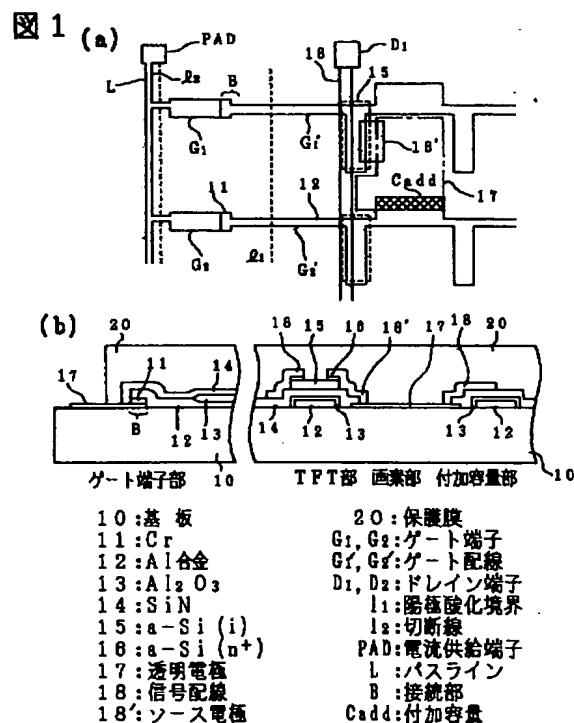
(21)出願番号	特願平4-244521	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成4年(1992)9月14日	(72)発明者	山本 英明 千葉県茂原市早野3300番地 株式会社日立 製作所茂原工場内
		(72)発明者	白橋 和男 千葉県茂原市早野3300番地 株式会社日立 製作所茂原工場内
		(72)発明者	加瀬 賢一 千葉県茂原市早野3300番地 株式会社日立 製作所茂原工場内
		(74)代理人	弁理士 小川 勝男

(54)【発明の名称】 薄膜トランジスタ基板及び液晶表示装置及びその製造方法

(57)【要約】

【目的】 信頼性が高く、製造が容易な薄膜トランジスタ基板の端子部を得ること。

【構成】 薄膜トランジスタ基板の端子部を透明導電膜17のみで構成し、ゲート配線12との電気的な接続を確保する為、クロム導電層11を介在させた。



(2)

2

1

【特許請求の範囲】

【請求項1】 絶縁性基板上に形成された複数本のゲート端子とそれに延在する複数本のゲート配線と、これと交差して配置された複数本の信号配線と、前記ゲート配線と信号配線との交点に薄膜トランジスタを配置してなる薄膜トランジスタ基板において、前記ゲート端子が、透明導電膜だけで構成され、且つ、その先端部においてCr膜を介して前記ゲート配線と電気的に接続されていることを特徴とする薄膜トランジスタ基板。

【請求項2】 前記ゲート配線がAl合金からなることを特徴とする請求項1記載の薄膜トランジスタ基板。

【請求項3】 前記Al合金がTa、Tiのすくなくとも何れかを含むことを特徴とする請求項1又は請求項2記載の薄膜トランジスタ基板。

【請求項4】 前記薄膜トランジスタのゲート絶縁膜が前記Al合金の陽極酸化膜を含むことを特徴とする請求項1、2、3の何れかに記載の薄膜トランジスタ基板。

【請求項5】 上記透明導電膜は酸化インジウム膜であることを特徴とする請求項1、2、3、4の何れかに記載の薄膜トランジスタ基板。

【請求項6】 前記ゲート端子及び画素電極の形成工程が、透明導電膜とその上に形成されたCr膜の2層構造膜でパターン化を行いその後上記Cr膜を除去して透明導電膜のみにする工程と前記透明導電膜からなる端子に電流を通じることによって前記陽極酸化を行う工程とを有することを特徴とする請求項1、2、3、4の何れかに記載の薄膜トランジスタ基板の製造方法。

【請求項7】 請求項1ないし4の何れかに記載の薄膜トランジスタ基板を有することを特徴とする液晶表示パネル。

【請求項8】 請求項7記載の液晶表示パネルと、該液晶表示パネルに映像信号を与えるための映像信号駆動回路と、走査信号を与えるための走査回路と、該映像信号駆動回路及び該走査回路に液晶表示パネル用の情報を与えるための制御回路とを有することを特徴とする液晶表示装置。

【請求項9】 上記透明導電膜は、酸化インジウム膜であることを特徴とする請求項6記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタ（以下TFTと略す）を使用したアクティブマトリクス駆動型のTFT基板および液晶表示装置に関する。

【0002】

【従来の技術】 非晶質シリコン（以下、a-Siと略す）TFTを用い、ゲート配線、ゲート電極をAlとして、これを陽極酸化して得られるAl₂O₃膜をゲート絶縁膜の1部としたTFT基板の例を図2を用いて説明する。図2（a）（b）（c）は各々TFT基板の等価回

路図、平面図、断面図を示す。G₁、G₂はゲート端子、G_{1'}、G_{2'}はゲート配線、D₁、D₂はドレイン端子、T₁₁、T₁₂はTFT、LCは液晶、Caddは付加容量、17bはカラーフィルタ基板側に設けられる共通電極を示す。また、10は基板、11はゲート端子のCr、12はAl、Aはゲート端子のCrとゲート配線のAlとの接続部分、13はAl₂O₃、14はSiN、17はITO透明電極（画素電極）、15はノンドープa-Si（i）、16はリンをドープした非晶質シリコン

（以下、a-Si（n+）と略す）、18は信号配線、18'はソース電極であり TFTと画素電極とを接続している。図2中、境界線11は陽極酸化する領域とそうでない領域との境界を示すもので、境界線11より右の領域は陽極酸化する。PADは陽極酸化に必要な電流を供給するための端子であり、Lは全てのゲート端子を共通接続するためのバスラインであり、境界線12はTFT基板完成の後、切断する部分を示す。このような技術は、特開平3-232274号公報に開示されている。

【0003】 このように従来、TFT基板の端子部にはCrと透明電極（インジウム酸化膜、以下ITOと略す）との積層膜が用いられていた。また、ゲート電極やゲート配線にAl金属を用いる場合、材料としては純Alや不純物としてPdやSiなどを添加したAlが用いられていた。

【0004】 TFT基板において端子部をCrとITOとの積層膜を用いる理由を説明する。TFT基板は端子部において駆動するための外部回路と接続し使用される。このため端子部は大気にさらされる。したがって、水分による腐食での断線や、酸化による接触不良などが生じるおそれがあり、このような材料である必要がある。このようないくつかの組合せが良く、多用されている。一方、Alは変質しやすく端子部には不適当と考えられていた。

【0005】

【発明が解決しようとする課題】 上記従来技術は端子部だけのためにCr膜が必要であり、これを形成パターン化するための工程が必要でありコストや歩留の点で問題があった。

【0006】 本発明の第1の目的はこのCr膜を不要にすることによって、低コスト、高歩留のTFT基板を提供することにある。本発明の第2の目的は、このTFT基板を用いた液晶表示パネルを提供することにある。本発明の第3の目的は、上記の液晶表示パネルを用いた液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】 上記第1の目的は、（1）絶縁性基板上に形成された複数本のゲート端子とそれに延在する複数本のゲート配線と、これと交差して配置された複数本の信号配線と、前記ゲート配線と信号配線との交点に薄膜トランジスタを配置してなる薄膜ト

(3)

3

ランジスタ基板において、前記ゲート端子が、酸化インジウム膜だけで構成され、且つ、その先端部においてCr膜を介して前記ゲート配線と電気的に接続されていることを特徴とする薄膜トランジスタ基板、(2)前記ゲート配線がAl合金からなることを特徴とする(1)記載の薄膜トランジスタ基板、(3)前記Al合金がTa、Tiのすくなくとも何れかを含むことを特徴とする(1)(2)記載の薄膜トランジスタ基板、(4)前記薄膜トランジスタのゲート絶縁膜が前記Al合金の陽極酸化膜を含むことを特徴とする(1)(2)(3)記載の薄膜トランジスタ基板で達成でき、(5)前記ゲート端子及び画素電極の形成工程が、酸化インジウム膜とその上に形成されたCr膜の2層構造膜でパターン化を行いその後上記Cr膜を除去して酸化インジウム膜のみにする工程を有することを特徴とする方法で製造できる。上記第2の目的は(1)(2)(3)(4)記載の薄膜トランジスタ基板を有することを特徴とする液晶表示パネルにより達成できる。上記第3の目的は前記液晶表示パネルと、該液晶表示パネルに映像信号を与えるための映像信号駆動回路と、走査信号を与えるための走査回路と、該映像信号駆動回路及び該走査回路に液晶表示パネル用の情報を与えるための制御回路とを有することを特徴とする液晶表示装置により達成できる。

【0008】本発明においては、端子をITOで構成し、さらにITOの先端部でCr膜を介してAlゲート配線とを電気的に接続する。この端子形成を画素電極形成と同時にすることによって、工程の短縮化が可能となる。この場合使用するAl材料としては耐腐食性から不純物としてTa、Tiを添加した材料(以下、Al-Ta、Al-Ti、Al-Ta-Tiと記す)を適用する。添加する濃度としては0.5原子%から2.5原子%が望ましい。この理由は本材料が耐熱性が良く、また、良質の陽極酸化膜Al₂O₃が得られるためである。

【0009】

【作用】上記技術は次の作用がある。

【0010】ゲート端子はゲート配線と電気的に接続して使用される。ゲート端子をITOとしゲート配線をAlとした場合次に示すような注意が必要である。

【0011】(1)それはAlの上にITOを積層した場合、ITOとAlとの界面反応により、間に絶縁膜であるAl₂O₃膜ができ、このため下地のAlとITOとが接触不良になることがある。図3にこの例を示す。特性C₂、C₃、C₄はAlとITOとを積層しその間に流れる電流の電圧依存性の3例を示すものである。一方、C₁はCrとITOとを接触した例を示す。このようにCr/ITOに比べて、AlとITOとは接触抵抗が高くバラツキも大きく問題である。したがって、ITOとAlとを接続する場合はCr膜を介在する必要があった。

【0012】(2)本発明のTFT基板ではゲートのA

4

Iを陽極酸化してAl₂O₃膜にする工程がある。この陽極酸化を行うには全てのゲート配線を共通接続して電圧を印加する。この共通接続を何で行うかが問題となる。本発明ではゲートのITOを利用した。

【0013】(3)TFT工程に必要なホトエッチングプロセス用のマスク数はできるだけ少ないことが望まれる。本発明ではゲート端子と画素電極とが同時に形成出来るようなプロセスを提供している。これにより、従来よりマスク数を1枚低減している。

【0014】以上の説明から明らかなように、本技術によりITO端子で、陽極酸化が可能で、しかもホトマスク数が少なくて済むTFTが提供できる。これによりTFT基板の低コスト化、歩留向上が実現できた。

【0015】

【実施例】以下、本発明を実施例を用いて詳細に説明する。

【0016】図1(a)は本発明の一実施例のTFT基板の平面図、(b)はその断面図である。図4は工程説明のための各部の説明図である。図2と同一又は均等部分は、同じ符号で表してある。まず、このTFTの基板の製造方法を述べる。基板10の上にITO膜(17)を1400Åスパッタ蒸着で形成する。連続してその上にCr(11)を1000Åスパッタにより形成する。ホトエッチングによりゲート端子G1、G2および画素電極(17)のパターンを形成する。この時Cr膜とITO膜とは連続して同時に進行。順序はCrをエッチングし、ITOをエッチングし、もう一度Crをエッチングして断面形状を整える(図4(a)参照)。Al-Ta(Taの添加量1.5原子%)12を約3000Åの厚みにスパッタリングにより蒸着し、ホトエッチングによりAl(Ta)のゲート配線G1'、G2'、付加容量Cadd、ゲート電極のパターンを形成する。このAl(Ta)パターンをマスクとしてCr膜をエッチングする。この工程で画素部のCrと端子部の一部のCrが除去される。引き続きAl(Ta)のスライトエッチングを行い断面形状を整える。このエッチングは、Al(Ta)の端面がCrの端面より張り出しているのを除去し、いわゆるオーバーハングをなくす為に行う。その後、陽極酸化する部分(図中境界線L1より右)と化成PADとを除いてホトレジストで被覆する。この時、ゲート配線パターンとホトレジストパターンとは直交させる。この状態で陽極酸化を行う。陽極酸化方法は、化成パッドPADが液面から外に出るようにして化成液に浸し、化成パッドPADに最大72Vから144Vの直流電圧を印加して行う。印加の方法は定電流0.5~5mA/cm²になるように徐々に0Vから昇圧する。最初から高い電圧を印加した場合、大電流が流れるため、A1線が溶けゲート線が断線する。化成液としては3%硝酸をアンモニアよりpH7±0.5に調整した溶液をエチレングリコール液で1:9に希釈したものを使い

(4)

5

る。電流が $0.5 \text{ mA}/\text{cm}^2$ の場合、約 10 分間で化成電圧が 144 V になる。この時形成された Al_2O_3 (図 1 (b) の 13 および図 4 (b) 参照) の厚みは 2000 Å である。この Al_2O_3 はゲート絶縁膜及び付加容量の誘電体として利用する。なお、144 V になり定電圧酸化が行われるようになってから、数分～数 10 分間そのままの状態に保持する事が望ましい。これは均一な Al_2O_3 膜を得る上で大事なことである。

【0017】再び図 1 に戻って説明する。ホトレジストを除去した後、全面にプラズマ CVD 法により、 SiN 14 を 2000 Å 形成する。材料ガスとしては SiH_4 、 NH_3 を主たる成分とするガスを使用する。その上に、 $a-\text{Si}$ (i) 15 を 2000 Å、リンを 2.5% ドーピングした $a-\text{Si}$ (n+) 16 を 300 Å 堆積する。この時基板温度としては 300°C とする。材料ガスとしては $a-\text{Si}$ は SiH_4 を主たる成分とするガスを、 $a-\text{Si}$ (n+) には SiH_4 と PH_3 の混合ガスを使用する。その後、 $a-\text{Si}$ をパターン化してアレイ状にする。プラズマ膜のエッチングには SF_6 ガスによるドライエッチ法を用いる。このとき図 4 (c) のように端子付近の ITO と画素電極の ITO 膜が露出するよう SiN を除去しておくことが必要である。この上に TFT のドレン電極を兼ねる信号配線 18、ソース電極用の Cr / Al-Ta (Ta の濃度 1.5 原子%) をそれぞれ 1000 Å、4000 Å の厚みにスパッタリングにて形成し、パターン化する。この時図 4 (d) のようになる。この後ドレン電極をマスクとして $a-\text{Si}$ (n+) 16 をドライエッチングする。最後に、保護膜として SiN を $1 \mu\text{m}$ 形成し端子部上の SiN を除去して後、化成バスライン L とゲート端子 G1, G2 との間を機械的に切断して、TFT 基板が完成する (図 4 (e) 参照)。

【0018】図 1 では各画素が列をなすように配置した場合を示したが、半ピッチずれた配置でも良い。また、付加容量 C_{add} がない場合でも全く同様に製作できることは勿論である。ここでは Al 材料として Al に Ta を添加した合金を使用したが Ti や Ta と Ti を同時に添加した合金でも良い。この場合添加する量は 1.5 原子% 以下が抵抗やエッチング残渣の点から望ましい。

【0019】次に、対向電極及び青、赤、緑のカラーフィルタアレーを持つ透光性基板と、上記により製造した TFT 基板とを厚み 7.3 μm のスペーサを用いて貼りあわせ、間に液晶を封止し、液晶表示パネルを完成した。以下その構造を簡単に説明する。

【0020】図 5 にカラー液晶表示パネルの断面全体構造を示す。液晶 LC を基準に下部には透明ガラス基板 10 上に TFT 等を形成した TFT 基板が配置され、上部にはカラーフィルタ FFL、遮光用ブラックマトリクス BM 等が形成された透明ガラス基板 10 b が配置されている。

6

【0021】図 5 の中央部分は 1 画素部分の断面を示し、左側は透明ガラス基板 10 及び 10 b の左側縁部分で外部引出線の存在する部分の断面を示し、右側は透明ガラス基板及び 10 b の右側縁部で外部引出線の存在しない部分の断面を示している。図 5 の左側、右側のそれぞれに示すシール材 SL は、液晶 LC を封止するように構成されており、液晶封入口 (図示していない) を除く透明ガラス基板 10 及び 10 b の縁周囲全体に沿って形成されている。シール材 SL は、例えば、エポキシ樹脂で形成されている。

【0022】前記上部透明ガラス基板 10 b 側の共通透明画素電極 17 b は、少なくとも 1 個所において、銀ペースト材 SIL によって、下部透明ガラス基板 10 側に形成された外部引出線 17' に接続されている。この外部引出線は、前述したゲート電極、ソース電極、ドレン電極のそれぞれと同一製造工程で形成される。

【0023】配向膜 ORI 1 及び ORI 2、透明電極 17、共通透明画素電極 17 b、保護膜 20 及び 20 b、絶縁膜である SiN 14 のそれぞれの層は、シール材 SL の内側に形成される。偏光板 POL 1, POL 2 は、下部透明ガラス基板 10、上部透明ガラス基板 10 b のそれぞれの外側の表面に形成されている。

【0024】液晶 LC は、液晶分子の向きを設定する下部配向膜 ORI 1 及び ORI 2 の間に封入され、シール材 SL によってシールされている。

【0025】下部配向膜 ORI 1 は、下部透明ガラス基板 10 側の保護膜 20 の上部に形成されている。

【0026】上部透明ガラス基板 10 b の内側 (液晶側) の表面には、遮光膜 BM、カラーフィルタ FFL、保護膜 20 b、共通透明画素電極 17 b 及び上部配向膜 ORI 2 が順次積層して設けられている。

【0027】図 6 に液晶表示装置の一実施例を示す。この装置は、液晶表示パネル 81 と、該液晶表示パネルに映像信号を与えるための映像信号駆動回路 83 と、該液晶表示パネルに走査信号を与えるための走査回路 84 と、該映像信号駆動回路及び走査回路に TFT 情報を与えるための制御回路 82 を有する。制御回路 82 は電源回路、上位演算処理装置からの情報を TFT 情報に変換する回路等を含む。前記実施例で得た液晶表示パネルをそれぞれ用いてこの装置に組み込んだところ、何れも質の高い画像が得られた。

【0028】

【発明の効果】本発明により、TFT 基板の製造工程を 12% 短縮でき、さらに歩留を約 5% 向上でき、コスト低減を図ることができた。

【図面の簡単な説明】

【図 1】本発明の一実施例を示す図。

【図 2】従来技術の説明図。

【図 3】 Al と ITO との接触性を示す図。

【図 4】本発明の各部分の詳細を説明するための図。

(5)

7

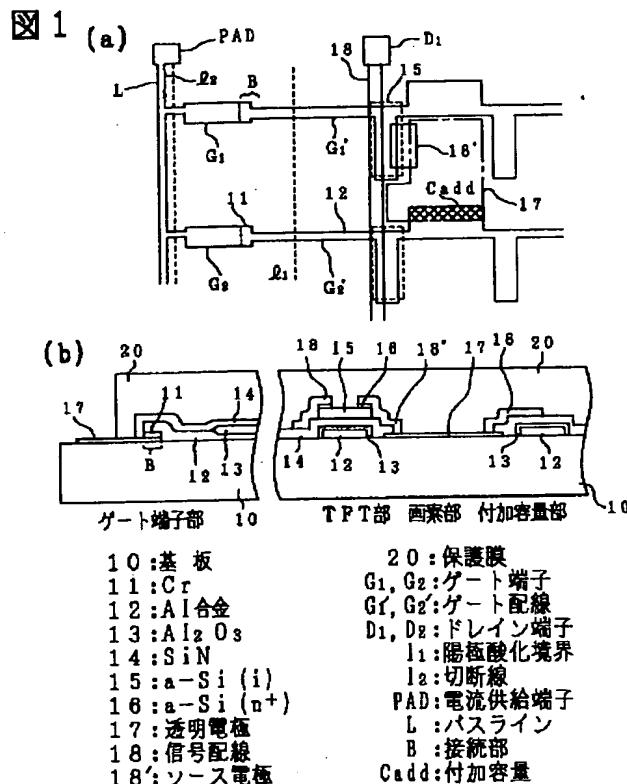
【図5】本発明のTFT基板を用いた液晶表示パネルの実施例を示す図。

【図6】本発明のTFT基板を用いた液晶表示装置の実施例を示す図。

【符号の説明】

10, 10b・・・基板、11・・・Cr、12・・・Al-Ta合金材料、13・・・Al₂O₃、14・・・SiN、15・・・a-Si (i)、16・・・a-Si (n+)、17・・・透明電極、17b・・・共通透明画素電極、18・・・信号配線、18'・・・ソース

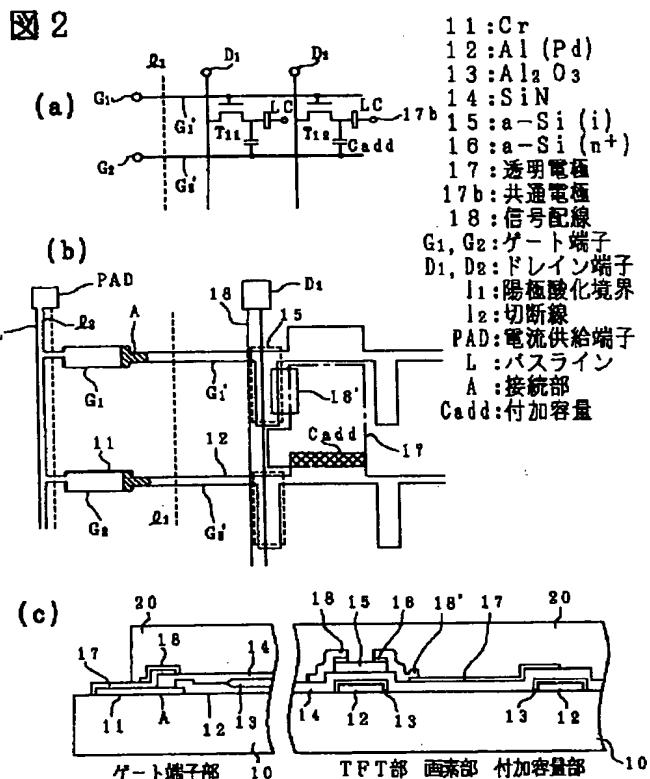
【図1】



8

電極、20, 20b・・・保護膜、81・・・液晶表示パネル、82・・・制御回路、83・・・映像信号駆動回路、84・・・走査回路、G₁, G₂・・・ゲート端子、G₁', G₂'・・・ゲート配線、D₁, D₂・・・ドレイン端子、L・・・化成バスライン、L'・・・切断線、L1・・・化成境界線、Cadd・・・付加容量、PAD・・・化成端子、ORI1, ORI2・・・配向膜、POL1, POL2・・・偏光板、FIL・・・カラーフィルタ、LC・・・液晶、BM・・・ブラックマトリクス、BL・・・バックライト。

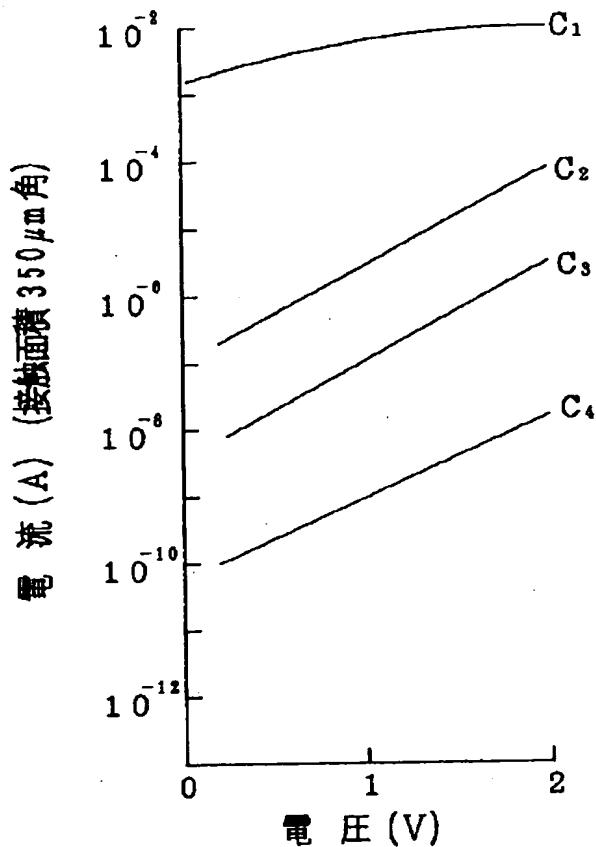
【図2】



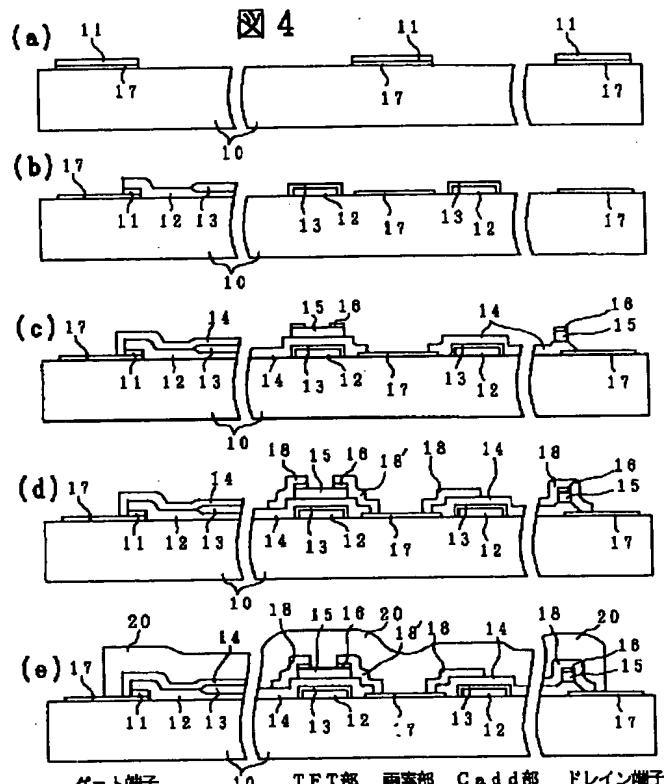
(6)

【図3】

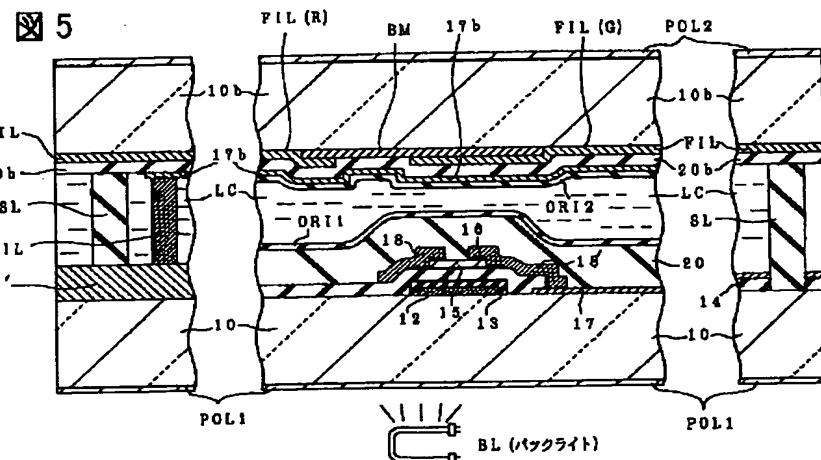
図3



【図4】



【図5】



ORI1, ORI2…配向膜

POL1, POL2…偏光板

FIL…カラーフィルタ

17b…共通透明誘電体

LC…液晶

BM…ブラックマトリックス

BL…パックライト

(7)

【図6】

図6

